

Docket No.: M&N-IT-462

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : KARL SCHRÖDINGER
Filed : CONCURRENTLY HEREWITH
Title : CIRCUIT CONFIGURATION FOR REGENERATING CLOCK
SIGNALS

CLAIM FOR PRIORITY

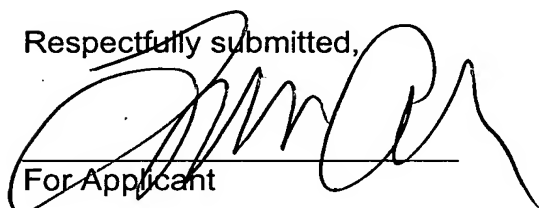
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 33 243.6, filed July 18, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,


For Applicant

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: July 18, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 33 243.6

Anmeldetag: 18. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Schaltungsanordnung zur Regeneration von
Taktsignalen

IPC: H 03 K, H 04 L

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 03. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read 'Jerofsky', is written over the printed name.

Jerofsky

Beschreibung

Bezeichnung der Erfindung: Schaltungsanordnung zur
Regeneration von Taktsignalen.

5

Die Erfindung betrifft eine Schaltungsanordnung zur
Regeneration von Taktsignalen. Sie findet insbesondere
Verwendung bei CMOS-Schaltungen mit hochfrequenten
Taktsignalen im Gigahertzbereich.

10

Bei integrierten Schaltungen und anderen Anwendungen werden
zunehmend Taktsignale mit sehr hohen Frequenzen benötigt.
Beispielsweise liegen die Frequenzen der Taktsignale bei
komplexen CMOS-Schaltungen im Bereich von 3 Gigahertz. Zur
15 Realisierung derart hochfrequenter Taktfrequenzen in
integrierten Schaltungen ist es notwendig, die Taktsignale
über mehrere Millimeter bis Zentimeter auf dem Chip mit der
integrierten Schaltung zu übertragen. Allerdings sind die
Leitungsverluste auf einem Chip relativ groß. Es ist daher
20 notwendig, die Taktsignale regelmäßig zu regenerieren.

Darüberhinaus treten Verzerrungen des Taktsignals sowohl in
der Amplitude als auch im Zeitbereich auf, die zu
verringerten Störabständen im System und damit zu Problemen
bei der Taktung der Logikschaltungen führen können.
Beispielsweise erzeugen CMOS-Inverter inhärent
Pulsverzerrungen, d.h. die HIGH-LOW Flanke weist eine
unterschiedliche Laufzeit auf als die LOW-HIGH Flanke. Ein
anderes Problem kann darin bestehen, dass die HIGH oder LOW
30 Zustände eines Taktsignals zu kurz sind. Es ist anzustreben,
bei der Regeneration der Taktsignale derartige Verzerrungen
des Taktsignals zu beseitigen.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde,
35 hochfrequente Taktsignale in integrierten Schaltungen zu
regenerieren und dabei Pulsverzerrungen der Taktsignale

möglichst weitgehend auszugleichen, insbesondere regenerierte Taktsignale mit einem vollen CMOS-Hub bereitzustellen.

Diese Aufgabe wird erfindungsgemäß durch eine

- 5 Schaltungsanordnung mit den Merkmalen des Anspruchs 1 und eine Schaltungsanordnung des Anspruchs 5 gelöst. Bevorzugte und vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.
- 10 Danach zeichnet sich die erfindungsgemäße Lösung dadurch aus, dass zunächst ein Eingangs-Differenzverstärker zur Beseitigung von Störungen der Taktsignale vorgesehen ist. Der
- 15 Eingangs-Differenzverstärker beseitigt insbesondere Störungen, die sich aus unterschiedlichen Laufzeiten oder aus unterschiedlichen HIGH-/LOW-Phasen des positiven und des negativen Taktsignals ergeben. Des weiteren wird
- 20 erfindungsgemäß in einem sich anschließenden Regelkreis eine Offset-Kompensation vorgenommen. Zielgröße für die Regelung ist das Ausgangssignal der Schaltungsanordnung, das durch zwei Inverter bereitgestellt wird. Die Regelgröße ist die Differenz der beiden Invertersignale, welche auf Null
- 25 geregelt wird. Die Offset-Kompensation ermöglicht die Beseitigung von Störungen, die durch einen Gleichspannungs-Offset auf den zueinander invertierten Taktsignalen hervorgerufen werden. Ein solcher kann beispielsweise durch ungleiche Lastwiderstände oder Schalttransistoren herbeigeführt werden.

- 30 Die erfindungsgemäße Lösung stellt somit ein regeneriertes differentiell Taktsignal bereit, das weitgehend von Störungen befreit ist.

- In einer bevorzugten Ausgestaltung der Erfindung ist zusätzlich eine Regelschaltung zur Ansteuerung der beiden
- 35 Inverter, die das Ausgangs-Taktsignal bereitstellen, vorgesehen. Diese Regelschaltung gleicht Verzerrungen am Ausgang der Inverter aus, die darauf zurückzuführen sind,

- dass die Schaltschwellen von Invertern stark über
Prozesstoleranzen und der Umgebungstemperatur streuen. Durch
die Regelschaltung wird die Pegellage (d.h. der Offset) für
den Inverterschaltpunkt genau eingestellt. Dies wird über
5 eine Steuerspannung erreicht, welche durch einen
Regelverstärker der Regelschaltung bereitgestellt wird. Über
die Steuerspannung wird den Ausgangssignalen des
Differenzverstärkers, der die Ansteuersignale für die beiden
Inverter erzeugt, eine Offset-Spannung überlagert. Dadurch
10 kann die Eingangsimpulsform für den jeweiligen Inverter in
den optimalen Schaltpunkt des Inverters geschoben und eine
optimale Ausgangsimpulsform des Ausgangs-Taktsignals erreicht
werden.
- 15 Die Regelgröße für diese weitere Regelung wird aus dem
Mittelwert des ersten und des zweiten differentiellen
Ausgangs-Taktsignales gewonnen. Der Sollwert wird durch einen
Spannungsteiler bereitgestellt.
- 20 In einer alternativen Ausgestaltung der Erfindung weist die
erfindungsgemäße Schaltungsanordnung neben dem Eingangs-
Differenzverstärker lediglich die Regelschaltung zur
Ansteuerung der beiden Inverter auf. Eine Offset-
Kompensationsschaltung ist bei dieser Ausgestaltung dagegen
nicht vorgesehen. Neben dem Eingangs-Differenzverstärker kann
somit die Offset-Kompensationsschaltung und/oder die
Regelschaltung zur Ansteuerung der beiden Inverter vorgesehen
sein.
- 30 In einer bevorzugten Ausgestaltung ist der Regelverstärker
der Offset-Kompensationsschaltung ein Integrator, der dem
Differenzverstärker der Offset-Kompensationsschaltung zwei
Eingangssignale zur Verfügung stellt. Dem Eingang des
Integrators kann dabei ein Hochfrequenzfilter vorgeschaltet
35 sein, durch das nichtlineare Effekte vermieden werden. Im
Differenzverstärker der Offset-Kompensationsschaltung wird
den beiden Ausgangssignalen des Differenzverstärkers

bevorzugt über zwei geregelte Ströme und mindestens einen Widerstand jeweils eine Offset-Spannung überlagert. Es kann somit der Offset sowohl des positiven als auch des negativen Taktsignals individuell ausgeglichen werden.

5

Auch der (zweite) Regelverstärker der Regelschaltung zur Ansteuerung der beiden Inverter ist bevorzugt ein Integrator. Die Eingangssignale des zweiten Integrators, zum einen der Mittelwert des ersten und des zweiten differentiellen Ausgangs-Taktsignals (EP, En) und zum anderen ein Sollwert, werden bevorzugt jeweils durch eine Spannungsteilerschaltung bereitgestellt.

10

Der Ausgang des zweiten Regelverstärkers wird einem (dritten) Differenzverstärker zugeführt, der in Antwort auf das erste und das zweite verstärkte Offset-kompensierte Signal des (zweiten) Differenzverstärkers der Offset-Kompensationsschaltung sowie das Ausgangssignal des zweiten Regelverstärkers erste und zweite Ansteuersignale für den ersten und zweiten Inverter erzeugt. Der Regelverstärker regelt dabei bevorzugt eine Stromquelle des dritten Differenzverstärkers, durch die ein Strom bereitstellbar ist, über den zur Ausregelung der Duty-Cycle-Verzerrung des ersten und des zweiten Inverters eine Offset-Spannung auf die Ansteuersignale für den ersten und für den zweiten Inverter gelegt wird.

20

Alternativ sind für den Fall, dass für jeden Inverter eine getrennte Regelung vorliegt, zwei geregelte Stromquellen des dritten Differenzverstärkers vorgesehen, die jeweils eine individuelle Offset-Spannung auf die Ansteuersignale für den ersten und für den zweiten Inverter legen.

30

Bevorzugt sind sämtliche Schaltungskomponenten in CMOS-Technik ausgeführt. Die Taktfrequenz liegt bevorzugt bei 3 GHz.

35

Die Erfindung wird nachfolgend unter Bezugnahme auf die Figuren der Zeichnung anhand eines Ausführungsbeispiels näher erläutert. Es zeigen:

- 5 Fig. 1A - ein unverzerrtes differentiellcs Taktsignal bestehend aus einem positiven Signal und einem dazu invertierten negativen Signal;
- 10 Fig. 1B - ein erstes verzerrtes Taktsignal, das mit einem Offset versehen ist;
- 15 Fig. 1C - ein zweites verzerrtes Taktsignal, bei dem das eine (negative) Signal gegenüber dem anderen (positiven) Signal zeitverzögert ist;
- 20 Fig. 1D - ein drittes verzerrtes Taktsignal, bei dem die HIGH-Phase des positiven und des negativen Signals jeweils länger ist als die LOW-Phase;
- 25 Fig. 1E - ein stark verzerrtes Taktsignal, das die in Figur 1D dargestellte Verzerrung in verstärktem Maße aufweist und wie es beispielsweise nach mehrfachem Durchlaufen eines CMOS-Inverters auftritt;
- 30 Fig. 2 - ein Ausführungsbeispiel einer Schaltungsanordnung zur Regeneration von Taktsignalen;
- 35 Fig. 3 - eine Anordnung von Schaltungsanordnungen gemäß der Figur 2;
- 40 Fig. 4 - ein Ausführungsbeispiel eines ersten Differenzverstärkers der Figur 2;
- 45 Fig. 5A - ein Ausführungsbeispiel eines zweiten Differenzverstärkers der Figur 2;

Fig. 5B - ein Ausführungsbeispiel eines dritten Differenzverstärkers der Figur 2;

Fig. 5C - eine alternative Ausgestaltung des Differenzverstärkers der Figur 5A.

Fig. 6 - ein Ausführungsbeispiel eines ersten Integrators der Figur 2;

Fig. 7 - ein Ausführungsbeispiel eines zweiten Integrators der Figur 2;

Fig. 8 - ein Ausführungsbeispiel eines Inverters der Figur 2 und

Fig. 9 - eine Kennlinie, eine Eingangspulsform und eine an der Kennlinie gespiegelte Ausgangspulsform eines Inverters gemäß der Figur 8.

Die grundlegenden Komponenten der Schaltung zur Regeneration von Taktsignalen sind in der Figur 2 dargestellt. Danach weist die Schaltungsanordnung einen ersten Differenzverstärker 1, einen zweiten Differenzverstärker 2, einen dritten Differenzverstärker 3, zwei Inverter In1, In2, zwei Spannungsteiler 4, 5, einen differentiellen Leitungstreiber 6, einen ersten Integrator 7 und einen zweiten Integrator 8 auf.

Der erste Differenzverstärker 1 ist ein Eingangsverstärker und weist als Eingangssignal ein erstes und ein zweites differentiellles Eingangs-Taktsignal A_p , A_n auf, das dem Differenzverstärker durch Transmissionsleitungen 9, 10 zugeführt wird. Die Transmissionsleitungen können Wellenleitungseigenschaften haben oder eine einfache RC-Eigenschaft, wie sie z.B. bei relativ kurzen Leitungen auf integrierten Schaltungen vorliegt.

Der Differenzverstärker 1 erzeugt ein erstes und ein zweites verstärktes Signal Bp, Bn in Antwort auf das erste und das zweite differentielle Eingangs-Taktsignal Ap, An. Die verstärkten Signale Bp, Bn werden dem zweiten
5 Differenzverstärker 2 zugeführt.

Der Eingangs-Differenzverstärker 1 beseitigt Störungen des Taktsignals, wie sie in den Figuren 1C bis 1E dargestellt sind. Zunächst ist in der Figur 1A ein unverzerrtes, ideales
10 Taktsignal bestehend aus einem positiven Signal P und einem negativen Signal N, die zueinander invertiert sind, dargestellt. Die Pulsweiten T-High und T-Low weisen die gleiche Länge auf. Die Schnittpunkte der beiden zueinander invertierten Differenzsignale liegen bei 50 Prozent der
15 Amplitude.

Bei dem Taktsignal der Figur 1C liegt eine Laufzeitverschiebung der einzelnen Taktsignale P, N vor, die durch unterschiedliche Laufzeiten auf die Übertragungsstrecke
20 des positiven und negativen Signals hervorgerufen ist. Es liegt dabei keine Verzerrung des Differenzsignals, sondern nur eine Verzerrung der einzelnen Signale P, N vor. Dies kann zu Problemen führen, wenn vom Differenzsignal auf zwei Eintaktsignale übergegangen wird.

Die Figur 1D zeigt ein verzerrtes Signal, bei dem die HIGH-Phase jedes Signals P, N länger ist als die LOW-Phase. Ähnlich wie bei der Figur 1C ist auch hier nicht das Differenzsignal, sondern sind nur die einzelnen Signale
30 gestört.

Die Figur 1E zeigt die gleiche, nur verstärkte Störung, wie sie üblicherweise beim mehrfachen Durchlaufen von CMOS-Invertern auftritt. Die Pulsweiten Td_High und Td_Low in
35 Bezug auf die Differenz der Signale P, N sind zwar gleich groß, die Weiten Ts_low und Ts_low hinsichtlich der bei 50%

der Amplitude liegenden Schaltschwellen jedoch unterschiedlich.

Der Eingangs-Differenzverstärker 1 beseitigt Störungen des Taktsignals entsprechend den Figuren 1C bis 1E, da das Differenzsignal nicht gestört ist. Der Differenzverstärker schaltet stets am Kreuzungspunkt X des positiven Signals P und des negativen Signals N um. Bezüglich der Korrektur einer Laufzeitverschiebung (Figur 1C) ist es dafür erforderlich, dass die Verzögerung kleiner ist als die jeweilige Anstiegs- bzw. Abfallflanke des Signals und dass der Schnittpunkt X der Differenzsignale im COMMON-MODE-Bereich des Differenzverstärker liegt.

Eine beispielhafte Ausgestaltung des Eingangs-Differenzverstärkers 1 ist in der Figur 4 dargestellt. Danach weist der Differenzverstärker 1 zwei Feldeffekttransistoren T1, T2 auf, deren Gate-Anschlüsse mit den Eingangs-Taktsignalen Ap, An beaufschlagt sind. Die Source-Anschlüsse sind zusammengeschaltet und mit einer Stromquelle S1 verbunden. Die Drain-Anschlüsse der beiden Transistoren T1, T2 sind jeweils über einen Widerstand R7, R8 mit einer Vdd-Versorgungsspannung verbunden. Des weiteren sind die Gate-Anschlüsse der Transistoren T1, T2 mit Ausgängen verbunden, an denen das erste und zweite verstärkte Signal Bp, Bn anliegen.

Es wird darauf hingewiesen, dass das dargestellte Ausführungsbeispiel eines Differenzverstärkers wie auch die nachfolgenden Ausführungsbeispiele anderer Differenzverstärker und Integratoren nur beispielhaft zu verstehen sind. Grundsätzlich können die Differenzverstärker und Integratoren auch durch andere Schaltungen realisiert sein.

Das verstärkte Ausgangssignal Bb, Bn des ersten Differenzverstärkers 1 beseitigt zwar Störungen der in den

Figuren 1C bis 1E beschriebenen Art. Auch der Differenzverstärker 1 kann jedoch fehlerbehaftet sein. Zudem kann ein Offset auf der Leitung liegen, den der Differenzverstärker 1 nicht beseitigen kann. Ein solcher Offset ist in Figur 1D dargestellt. Anders als bei der Figur 1A, die ein unverzerrtes, ideales Signal zeigt, liegt bei Figur 1D ein Signal mit einem Gleichspannungs(DC)-Offset vor. Ein solcher Gleichspannungs-Offset kann bei sogenannten Current-Mode-Level-Signalen (CML) vorkommen und wird beispielsweise hervorgerufen durch ungleiche Lastwiderstände oder Schalttransistoren. Aufgrund des Offsets verschieben sich die Pulsweiten T_{High} und T_{Low} . Ferner nimmt der Störabstand ab und die Differenzamplitude wird kleiner, wie in der Taktphase T_{High} zu erkennen ist.

Zur Beseitigung einer derartigen Verzerrung weist die in Figur 2 dargestellte Schaltung einen Offset-Kompensationsschaltungsteil auf.

Zur Erläuterung des Offset-Kompensationsschaltungsteils wird zunächst darauf hingewiesen, dass das differentielle Ausgangs-Taktsignal E_p , E_n der Schaltungsanordnung durch zwei Inverter In1, In2 bereitgestellt wird. Bei den Signalen E_p , E_n handelt es sich um das eigentliche Nutzsignal für die Schaltung. Die Offset-Kompensationsschaltung weist nun einen Regelkreis auf, dessen Zielgröße für die Regelung das Ausgangssignal E_p , E_n hinter den beiden Invertern ist. Die Regelgröße ist die Differenz der beiden Inverter-Signale E_p , E_n . Diese soll auf Null bzw. auf einen konstanten Wert geregelt werden, da dann davon ausgegangen werden kann, dass die Störungen der Figur 1B (und auch der Figuren 1C bis 1E) nicht mehr vorliegen.

Die Ausgangssignale der beiden Inverter In1, In2 werden über einen Hochfrequenzfilter, der aus einer Kapazität C4 und zwei Widerständen R5, R6 besteht, dem ersten Integrator 7 zugeführt. Durch das Hochfrequenzfilter, das optional ist,

können nichtlineare Effekte durch hochfrequente Übersteuerung vermieden bzw. herausgefiltert werden.

Eine beispielhafte Ausführungsform des Integrators 7 ist in der Figur 7 dargestellt. Der Integrator der Figur 7 weist zwei Eingangstransistoren T3, T4, zwei dazu komplementäre Transistoren T5, T6, zwei Ausgangstransistoren, T7, T8, zwei Stromquellen S2, S3 und eine Kapazität C5 auf. Die Drain-Anschlüsse der Eingangstransistoren T3, T4 sind jeweils über einen komplementären Transistor T5, T6 mit der Versorgungsspannung Vdd verbunden. Zusätzlich sind die Gate-Anschlüsse der beiden komplementären Transistoren T5, T6 zusammengeschaltet und mit dem Drain-Anschluss des einen Eingangstransistors T3 verbunden. Der Drain-Anschluss des anderen Eingangstransistors T4 ist mit der Kapazität C5 verbunden. Der andere Anschluss der Kapazität C5 ist mit Ground verbunden.

Die Schaltung funktioniert derart, dass die an den Eingangstransistoren T3, T4 anliegende Differenz der Ausgangssignale E_p , E_n der beiden Inverter In1, In2 integriert wird. Die Ausgangsspannung VC5 liegt über die Kapazität C5 an dem Ausgangstransistor T7 an, dessen Drain-Anschluss zusammen mit dem Drain-Anschluss des weiteren Transistors T8, dessen Gate-Spannung durch einen Referenzwert V_{ref} festgelegt ist, die Ausgänge des Integrators bildet. Die Source-Anschlüsse der Ausgangstransistoren T7, T8 sind zusammengeschaltet und mit der Stromquelle S3 verbunden.

Es werden ausgangsseitig zwei Korrekturströme I_{offsp} und I_{offsn} bereitgestellt, die beide invers zueinander sind und die dem zweiten Differenzverstärker 2 zugeführt werden. Die Zeitkonstante der Regelung wird über die Integrator-Zeitkonstante T2 eingestellt, welche sich aus der Kapazität C5 und dem Strom I2 durch die erste Stromquelle S2 einstellt.

Eine beispielhafte Ausgestaltung des zweiten Differenzverstärkers ist in Figur 5B dargestellt. Der Differenzverstärker der Figur 5 B weist zunächst einen Differenzverstärker ähnlich dem Differenzverstärker der Figur 4 mit zwei Eingangstransistoren T9, T10 und einer Stromquelle S4 auf. Die Drain-Anschlüsse der Transistoren T9, T10 sind jeweils über zwei Widerstände R9, R11b und R10, R11a mit der Spannung Vdd verbunden. Die Ausgänge des ersten Integrators 7 sind jeweils mit einem Bezugspunkt zwischen den jeweiligen Widerständen R9, R11b; R10, R11a verbunden. Bei Fließen eines Stromes Ioffsp bzw. Ioffsn wird ein differentieller Gleichstrom in den zweiten Differenzverstärker 2 eingespeist, der zu einer Änderung der Pegel des differentiellen Ausganges Cp, Cn führt, wobei eine Offset-Korrektur erfolgt.

Ein weiterer Schaltungsteil der Generatorschaltung der Figur 2 wird durch eine Regelsteuerung zur Ansteuerung der beiden Inverter In1, In2 realisiert. Die Inverter In1, In2 sind in Figur 8 dargestellt. Es handelt sich um übliche CMOS-Inverter mit zwei MOS-Transistoren T17, T18, einem p-Kanal MOS-Transistor T17 und einem n-Kanal MOS-Transistor T18, die komplementär ausgebildet und in Reihe geschaltet sind. Der Transistor T17 ist mit seinem Source-Anschluß mit dem Bezugspotential GROUND und der Transistor T28 mit seinem Source-Anschluß mit der Betriebsspannung Vdd verbunden.

Wenn an dem Eingangsknoten die Eingangsspannung LOW anliegt, sperrt der Transistor T17 und wird der Ausgang auf die Betriebsspannung Vdd gezogen. Wenn dagegen die Eingangsspannung am Eingangsknoten den Wert HIGH annimmt, sperrt der obere Transistor T18 und wird der Ausgang auf Ground gezogen. Derartige CMOS-Inverter sind an sich bekannt.

Hintergrund der im Folgenden erläuterten Regelschaltung zur Ansteuerung der beiden Inverter ist der Umstand, dass die Schaltstellen von CMOS-Invertern stark über Prozesstoleranzen und Temperatur streuen. Eine derartige Invertercharakteristik

ist in Figur 9 dargestellt. In Abhängigkeit von der absoluten Pegellage des Eingangssignals 13 ergibt sich eine Verzerrung der Ausgangspulsform 14. Die Ausgangspulsform ergibt sich dabei durch Spiegelung der Eingangspulsform 10 an der Kennlinie 15 des Inverters. Die Signalformen 14, 14', 14'' der Ausgangspulsform korrespondieren dabei zu den jeweiligen Kennlinien 15, 15', 15'' des Inverters (gleiche Strichform), wobei die nichtgestrichelte Eingangsimpulsform zugrunde liegt.

10

Die gewünschte Regelung soll dahingehend erfolgen, dass stets die nichtgestrichelte Ausgangspulsform 14 vorliegen soll. Angesichts der nicht vermeidbaren Kennlinienschwankung wird dies dadurch erreicht, dass über die Eingangsimpulsform eine Offset-Korrektur erfolgt, um bei Kennlinienschwankungen die durchgezogene Ausgangskennlinie zu erhalten. Beispiele für entsprechend Offset-korrigierte Eingangsimpulsformen sind gestrichelt dargestellt (Pulse 13', 13'').

15

20

Mit anderen Worten soll durch die absolute Pegellage des Eingangssignales bzw. Eingangsimpulses die Pulsverzerrung am Ausgang minimiert werden. Die Einstellung der absoluten Pegellage des Eingangssignals für die Inverter In1, In2 erfolgt durch eine Regelschleife mit dem als Regelverstärker dienenden zweiten Integrator 8. Die Regelgröße für die Regelung wird aus dem Mittelwert der beiden Ausgänge E_p , E_n der beiden Inverter In1, In2 gewonnen. Der Mittelwert wird durch den Spannungsteiler 4 bereitgestellt, der zwei Widerständen R_1 , R_2 und eine Kapazität C_2 aufweist. Die

25

30

35

Widerstände sind dabei in Reihe zwischen die Ausgänge der Inverter In1, In2 geschaltet. Die Widerstände R_1 , R_2 sind in der Regel gleich groß, jedenfalls sofern das Taktsignal wie üblich symmetrisch ist. Die zwischen den beiden Widerständen R_1 , R_2 anliegenden Spannung wird dem Integrator 8 als ein Eingangssignal zugeführt.

Das zweite Eingangssignal für den Integrator wird ebenfalls durch einen Spannungsteiler 5 mit den Widerständen R3, R4 und einer Kapazität C2 bereitgestellt. Der Spannungsteiler 5 stellt einen Sollwert bereit. Die Differenz der

5 Eingangssignale wird vom Integrator 1 integriert. Der Integrator 1 stellt dann dem dritten Differenzverstärker 3, der hinter den zweiten Differenzverstärker 2 geschaltet ist und die Ansteuersignale für die beiden Inverter In1, In2 ausgibt, eine Steuerspannung Vcmc zu Verfügung.

10

Ein Ausführungsbeispiel des ersten Integrators ist in Figur 6 dargestellt. Danach besteht dieser ähnlich wie der Integrator 7 der Figur 7 aus zwei Eingangstransistoren T11, T12, zwei dazu komplementären Transistoren T13, T14, einer Stromquelle S5 und einer Kapazität C3, an der die Ausgangsspannung Vcmc anliegt.

15

Der dritte Differenzverstärker 3 ist in der Figur 5A dargestellt. Die Ausgangsspannung Vcmc des zweiten

20 Integrators dient zur Steuerung einer Stromquelle S6 des dritten Differenzverstärkers. Dieser weist des weiteren ähnlich wie die zuvor beschriebenen Differenzverstärker zwei Eingangstransistoren T15, T16, eine Stromquelle S7 und zwei Widerstände R9, R10 auf, wobei jeweils einer der Widerstände R9, R10 zwischen dem Drain-Anschluss der Transistoren T15, T16 und der Spannung Vdd liegt. Über die Steuerspannung Vcmc, die der Integrator 8 bereitstellt, wird nun ein Strom Icmc, der über einen Widerstand R11 zur Stromquelle S6 fließt, bereitgestellt. Über den Strom Icmc und den Widerstand R11

30 wird den Signalspannungen Dp, Dn an den Ausgängen des dritten Differenzverstärkers 3 eine Offset-Spannung überlagert. Dadurch kann die Eingangspulsform gemäß Figur 9 in den optimalen Schaltpunkt des Inverters geschoben und eine optimale Ausgangsimpulsform erreicht werden. Dabei wird

35 aufgrund der vorherigen Schaltungsmaßnahmen davon ausgegangen, dass das Differenzsignal Dp-Dn schon optimal

eingestellt ist und nur noch die Pegellage, d.h. der Offset für den Inverterschaltpunkt einzustellen ist.

- Üblicherweise ist es nicht erforderlich, für jeden Inverter In1, In2 eine getrennte Regelung aufzubauen, da sich die Inverter auf einem Chip gleich verhalten. Falls doch eine getrennte Regelung erfolgen soll, werden zwei Integratoren bereitgestellt und der Verstärker wie in Figur 5C dargestellt modifiziert. Danach erfolgt für jeden Ausgang Dp, Dn eine gesonderte Einstellung des Offsets über eine gesonderte Stromquelle S8, S9, die jeweils über eine Spannung Vcmcb, Vcmca gesteuert wird. Die Schaltung der Figur 5c entspricht im übrigen der Schaltung der Figur 5b.
- Das ausgeregelte Ausgangssignal der Inverter In1, In2 wird einer zu versorgenden Schaltung zugeführt. Desweiteren ist der beispielsweise als weiterer Differenzverstärker ausgebildete Leitungstreiber 6 vorgesehen, der das Signal für eine weitere Übertragung auf Transmissionsleitungen 11, 12 zum nächsten Schaltungsteil vorbereitet. Die Ausgangssignale des Leitungstreiber 6 sind mit Fp, Fn gekennzeichnet.

Ein typischer Anwendungsfall der Regeneratorschaltung der Figur 2 ist in der Figur 3 dargestellt. Danach sind mehrere Regenerator-Schaltungen gemäß Figur 2 in Reihe angeordnet. Von jeder Regeneratorschaltung wird jeweils ein regeneriertes Taktsignal an eine zu taktende Schaltung übertragen. Statt der gezeigten Reihenschaltung ist dabei auch eine sternförmige Anordnung denkbar, wie sie üblicherweise zur Taktverteilung angewendet wird.

Patentansprüche

1. Schaltungsanordnung zur Regeneration von Taktsignalen mit:

- einem Eingangs-Differenzverstärker (1), der erste und zweite verstärkte Signale (Bp, Bn) in Antwort auf ein erstes und zweites differentiellles Eingangstaktsignal (Ap, An) erzeugt,
- einem ersten und einem zweiten Inverter (In1, In2), die ein erstes und ein zweites differentiellles Ausgangstaktsignal (EP, En) erzeugen, und
- einer Offset-Kompensationsschaltung, die die Differenz der beiden Ausgangstaktsignale (EP, En) auf Null bzw. auf einen konstanten Wert regelt.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Offset-Kompensationsschaltung aufweist:

- einen (ersten) Regelverstärker (7), an dessen Eingang die beiden Ausgangstaktsignale (Ep, En) anliegen und
- einen (zweiten) Differenzverstärker (2), der in Antwort auf das erste und das zweite verstärkte Signal (Bp, Bn) des Eingangs-Differenzverstärkers (1) sowie die Ausgangssignale des ersten Regelverstärkers (7) erste und zweite verstärkte, Offset-kompensierte Signale (Cp, Cn) erzeugt, die direkt oder über weitere Komponenten (3) den Invertern (In1, In2) als Ansteuersignale zugeführt werden.

3. Schaltungsanordnung nach Anspruch 1 oder 2, gekennzeichnet durch eine zusätzliche Regelschaltung zur Ansteuerung der beiden Inverter (In1, In2) derart, dass die Eingangsimpulsformen der Inverter (In1, In2) in den optimalen Schaltpunkt der Inverter In1, In2) geschoben werden.

4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, dass die Regelschaltung zur Ansteuerung der beiden Inverter (In1, In2) aufweist:

- einen (zweiten) Regelverstärker (8), an dessen Eingang zum einen der Mittelwert des ersten und zweiten differentiellen Ausgangs-Taktsignales (EP, En) und zum anderen ein Sollwert anliegen, und
- einen (dritten) Differenzverstärker (3), der in Antwort auf das erste und das zweite verstärkte Offset-kompensierte Signal (Cp, Cn) des (zweiten) Differenzverstärkers (2) sowie das Ausgangssignal des zweiten Regelverstärkers (8) erste und zweite Ansteuersignale (Dp, Dn) für den ersten und zweiten Inverter (In1, In2) erzeugt.

5. Schaltungsanordnung zur Regeneration von Taktsignalen mit:

- einem Eingangs-Differenzverstärker (1), der erste und zweite verstärkte Signale (Bp, Bn) in Antwort auf ein erstes und zweites differentielles Eingangs-Taktsignal (Ap, An) erzeugt,
- einem ersten und einem zweiten Inverter (In1, In2), die ein erstes und ein zweites differentielles Ausgangs-Taktsignal (EP, En) erzeugen, und
- einer Regelschaltung zur Ansteuerung der beiden Inverter (In1, In2) derart, dass die Eingangsimpulsformen der Inverter (In1, In2) in den optimalen Schaltpunkt der Inverter In1, In2) geschoben werden.

6. Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet, dass die Regelschaltung aufweist:

- einen Regelverstärker (8), an dessen Eingang zum einen der Mittelwert des ersten und zweiten differentiellen Ausgangs-Taktsignales (EP, En) und zum anderen ein Sollwert anliegen, und

- einen Differenzverstärker (3), der in Antwort auf von dem Eingangs-Differenzverstärker (1) oder diesem nachgeschaltete Komponenten (2) zugeführte Eingangssignale (C_p , C_n) sowie das Ausgangssignal des Regelverstärkers (8) erste und zweite Ansteuersignale (D_p , D_n) für den ersten und zweiten Inverter ($In1$, $In2$) erzeugt.

7. Schaltungsanordnung nach mindestens einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass der (erste) Regelverstärker ein erster Integrator (7) ist, der zur Offset-Kompensation der beiden differentiellen Ausgangssignale (C_p , C_n) des zweiten Differenzverstärkers (2) zwei Eingangssignale für den zweiten Differenzverstärker (2) bereitstellt.

8. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, dass dem Eingang des Integrators (7) ein Hochfrequenzfilter ($C4$, $R5$, $R6$) vorgeschaltet ist.

9. Schaltungsanordnung nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass im zweiten Differenzverstärker (2) über zwei durch den ersten Integrator (7) geregelte Ströme (I_{offsp} , I_{offsn}) und mindestens einen Widerstand ($R9$, $R10$) den beiden Ausgangssignalen (C_p , C_n) jeweils eine Offset-Spannung überlagert wird.

10. Schaltungsanordnung nach mindestens einem der Ansprüche 4 bis 9, dadurch gekennzeichnet, dass der (zweite) Regelverstärker der Regelschaltung zur Ansteuerung der beiden Inverter ($In1$, $In2$) ein zweiter Integrator (8) ist.

11. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, dass das eine Eingangssignal des

zweiten Integrators (8), das den Mittelwert des ersten und des zweiten differentiellen Ausgangs-Taktsignals (EP, En) darstellt, über eine Spannungsteilerschaltung (4) bereitgestellt wird.

5

12. Schaltungsanordnung nach Anspruch 10 oder 11, dadurch gekennzeichnet, dass das den Sollwert darstellende Eingangssignal des zweiten Integrators (8) durch eine Spannungsteilerschaltung (5) bereitgestellt wird.

10

13. Schaltungsanordnung nach mindestens einem der Ansprüche 4 bis 12, dadurch gekennzeichnet, dass der Ausgang des (zweiten) Regelverstärkers (8) eine Stromquelle (S6) des (dritten) Differenzverstärkers regelt, durch die ein Strom (Icmc) bereitstellbar ist, über den zur Ausregelung der Duty-Cycle-Verzerrung des ersten und des zweiten Inverters (In1, In2) eine Offset-Spannung auf die Ansteuersignale (Dp, Dn) für den ersten und für den zweiten Inverter (In1, In2) gelegt wird.

15

20

14. Schaltungsanordnung nach mindestens einem der Ansprüche 4 bis 12, dadurch gekennzeichnet, dass zwei Stromquellen (S8, S9) des dritten Differenzverstärkers (3) geregelt werden, durch die jeweils ein Strom (Icmca, Icmcb) bereitstellbar ist, über den zur Ausregelung der Duty-Cycle-Verzerrung des ersten und des zweiten Inverters (In1, In2) jeweils eine Offset-Spannung auf die Ansteuersignale (Dp, Dn) für den ersten und für den zweiten Inverter (In1, In2) gelegt wird.

25

30

15. Schaltungsanordnung nach mindestens einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die differentiellen

35

Ausgangs-Taktsignale (Ep, En) einem differentiellen Leitungstreiber zugeführt werden.

- 5 16. Schaltungsanordnung nach mindestens einem der
vorangehenden Ansprüche, dadurch
gekennzeichnet, dass sämtliche
Schaltungskomponenten in CMOS-Technik ausgeführt sind.

Zusammenfassung

Bezeichnung der Erfindung: Schaltungsanordnung zur
Regeneration von Taktsignalen.

5

Die Erfindung betrifft eine Schaltungsanordnung zur
Regeneration von Taktsignalen. Die Schaltungsanordnung weist
auf:

10

- einen Eingangs-Differenzverstärker (1), der erste und
zweite verstärkte Signale (Bp, Bn) in Antwort auf ein
erstes und zweites differentiellles Eingangs-Taktsignal
(Ap, An) erzeugt,
- einen ersten und einen zweiten Inverter (In1, In2), die
ein erstes und ein zweites differentiellles Ausgangs-
Taktsignal (EP, En) erzeugen, und
- eine Offset-Kompensationsschaltung, die die Differenz der
beiden Ausgangs-Taktsignale (EP, En) auf Null bzw. auf
einen konstanten Wert regelt.

15

20

Alternativ oder ergänzend zu der Offset-Kompensations-
schaltung kann eine Regelschaltung zur Ansteuerung der beiden
Inverter (In1, In2) bereitgestellt werden, die die
Eingangsimpulsformen der Inverter (In1, In2) in den optimalen
Schaltpunkt der Inverter schiebt. Die Schaltungsanordnung
ermöglicht eine Regeneration von Taktsignalen bei einem
gleichzeitigen Ausgleich von Pulsverzerrungen. (Fig. 2)

25

Fig.1a

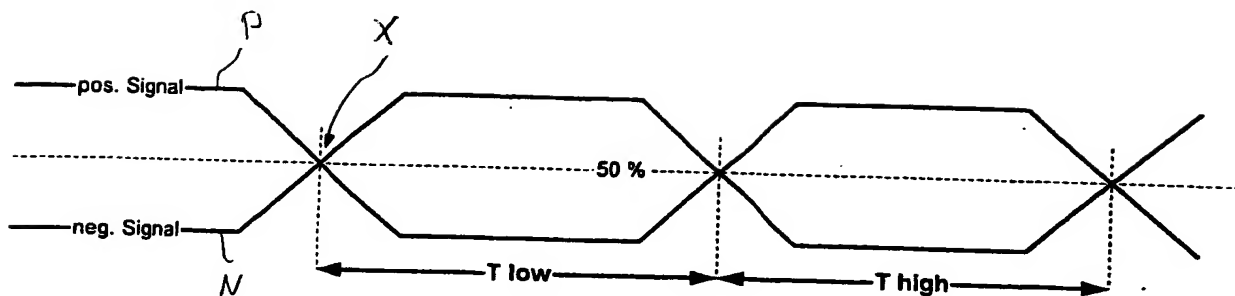


Fig.1b

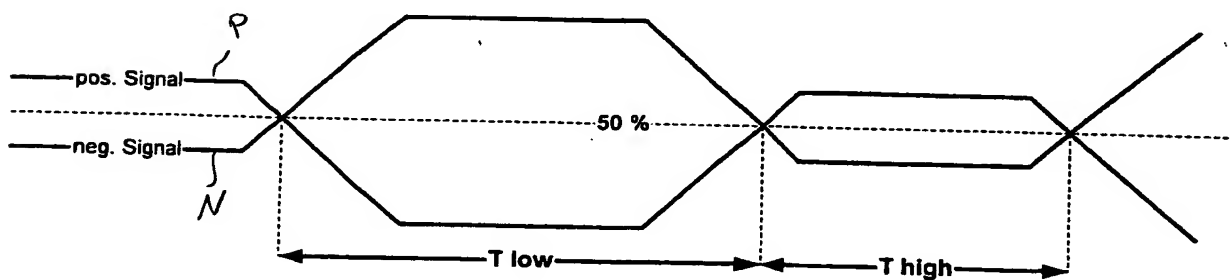


Fig.1c

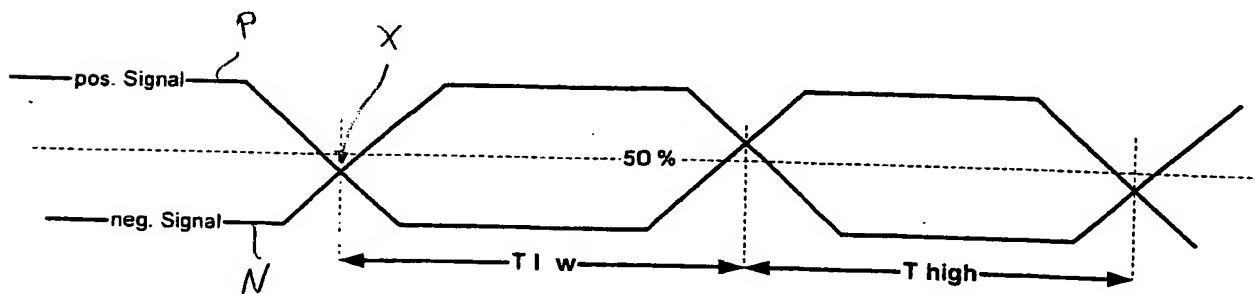


Fig.1d

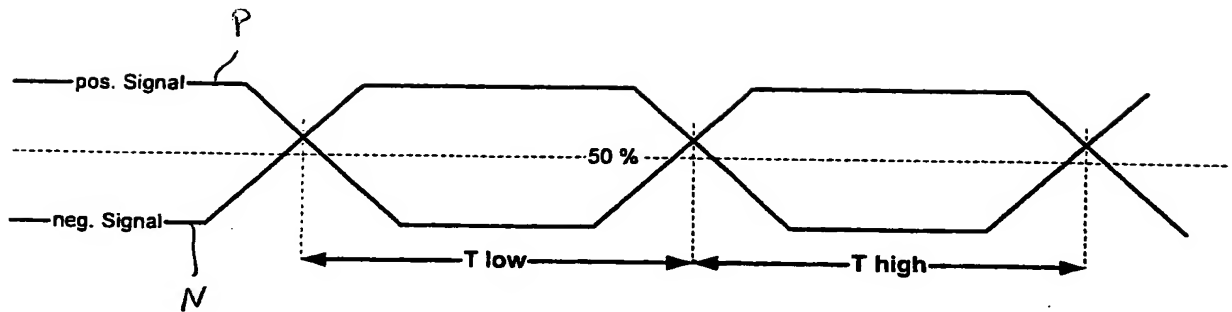


Fig.1e

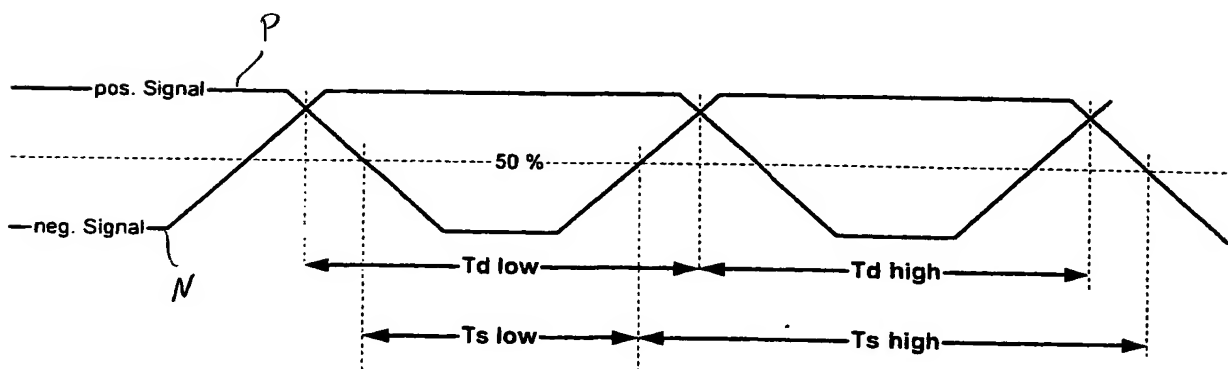


Fig. 2

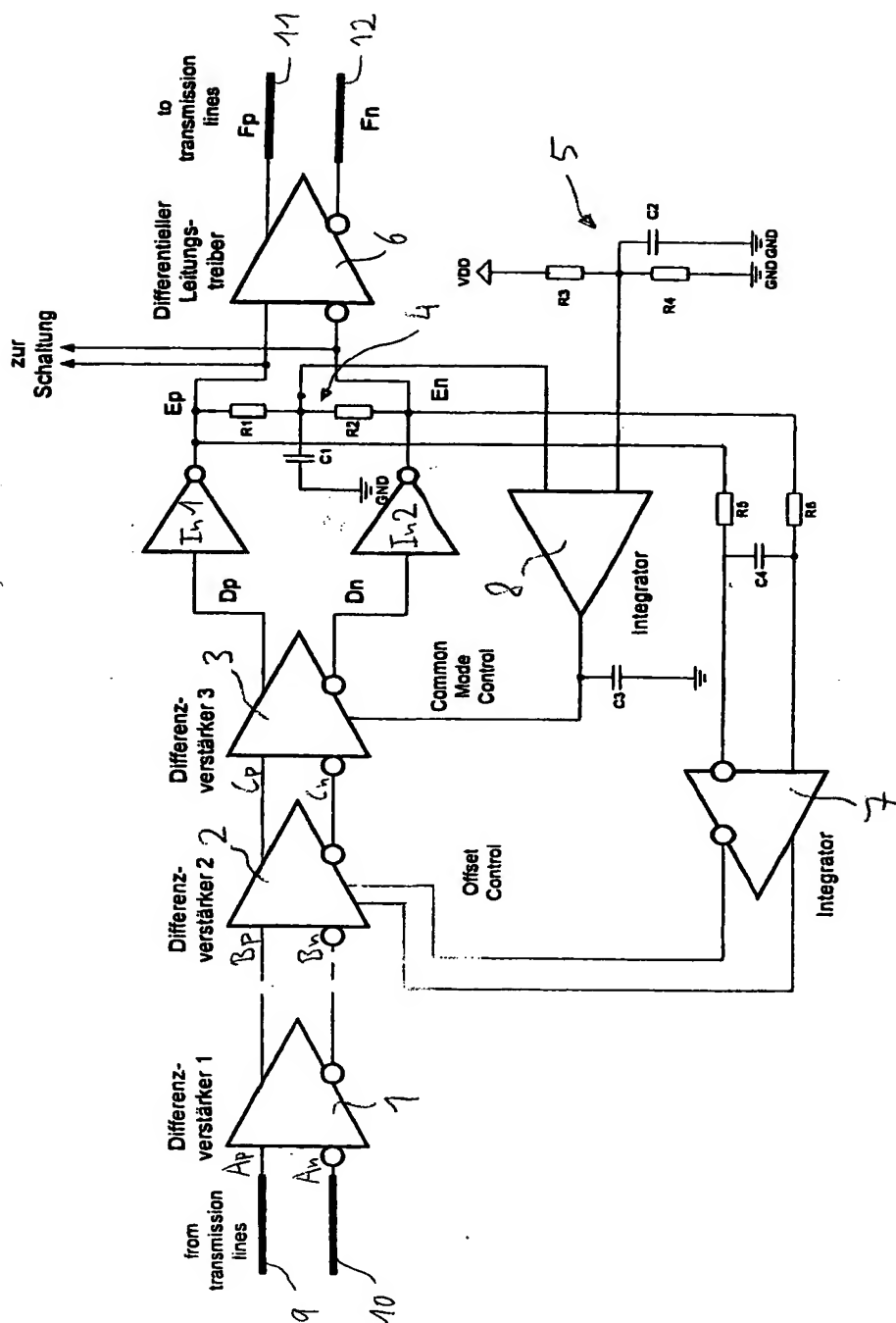


Fig.3

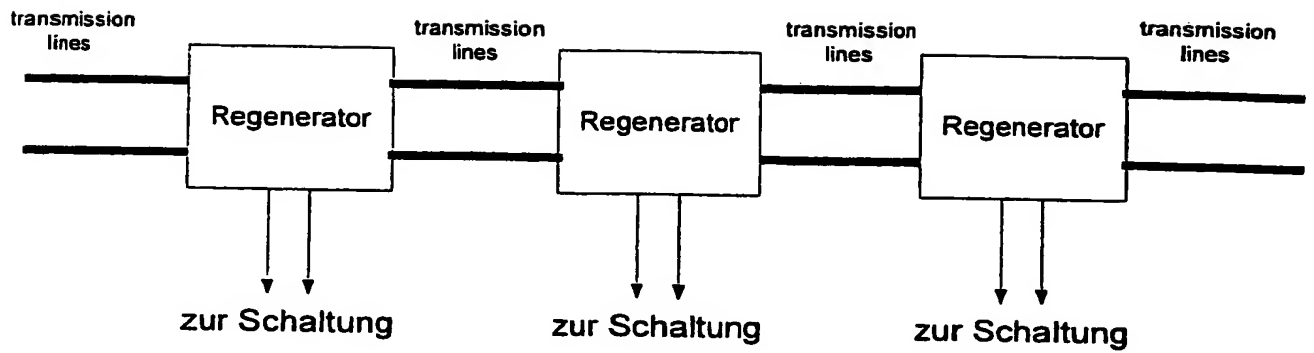


Fig.4

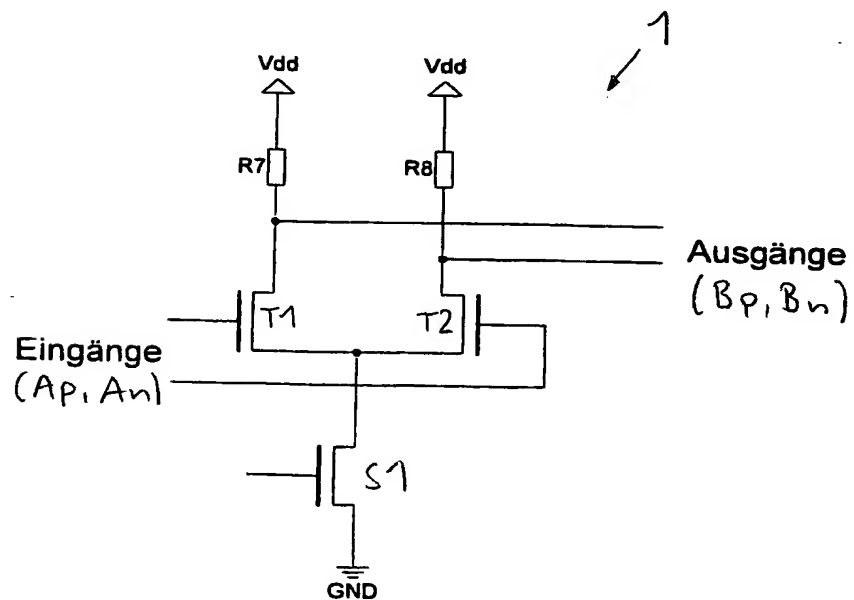


Fig. 5a

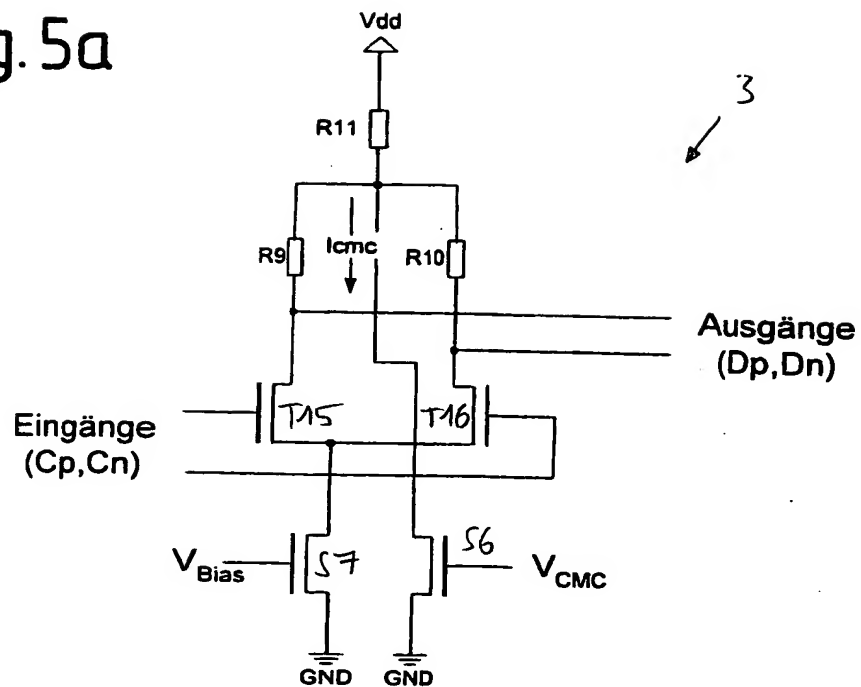


Fig.5b

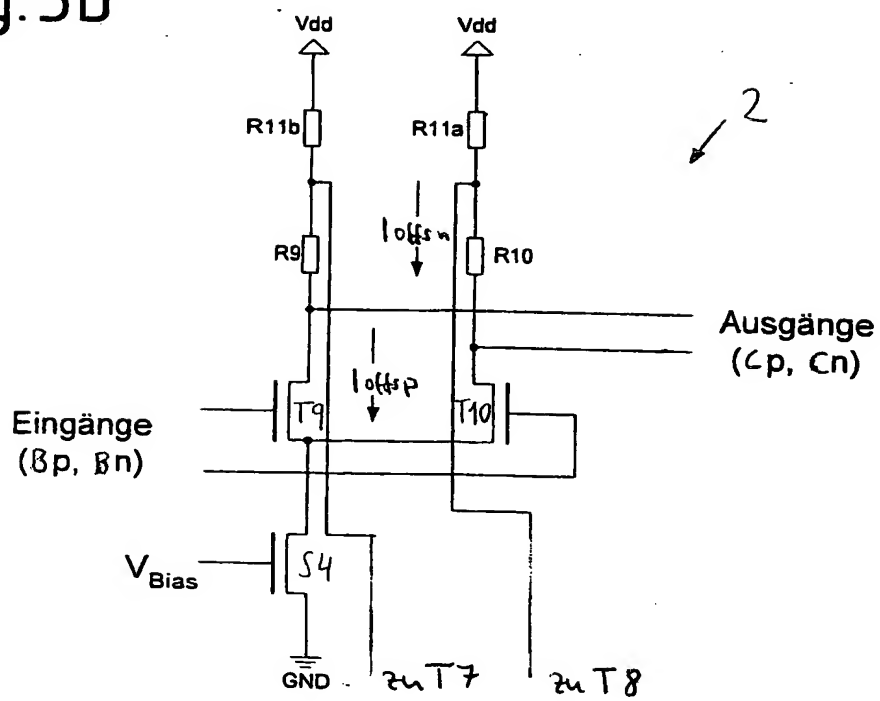


Fig.5c

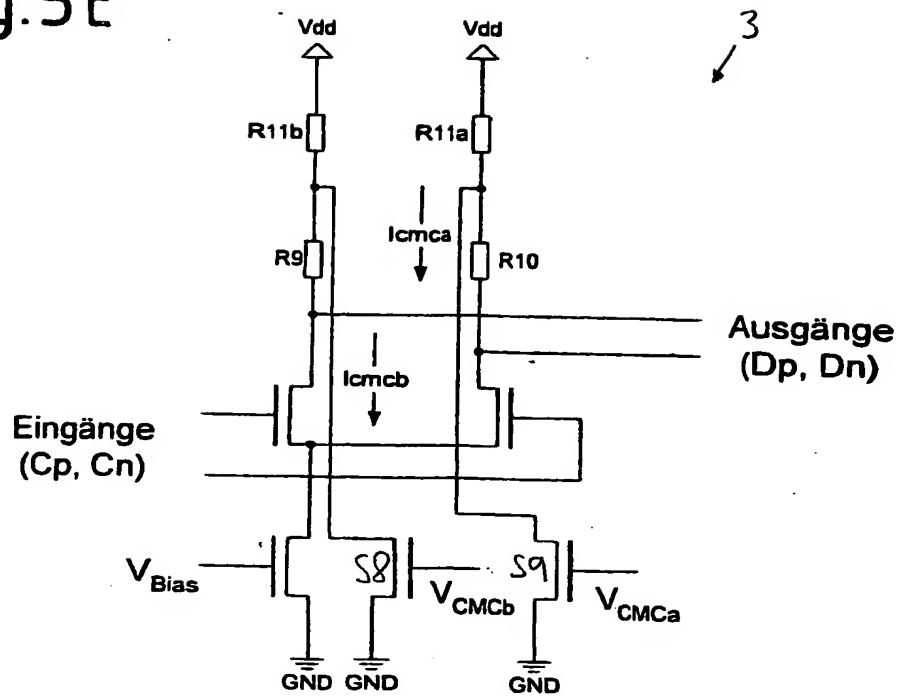


Fig.8

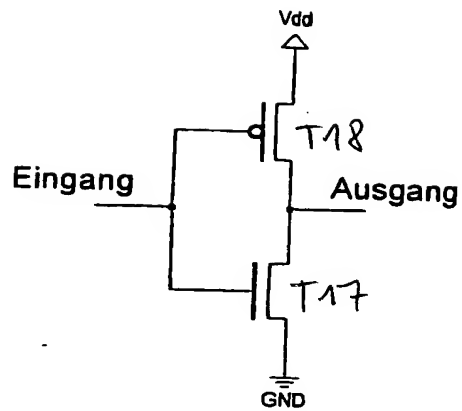


Fig.9

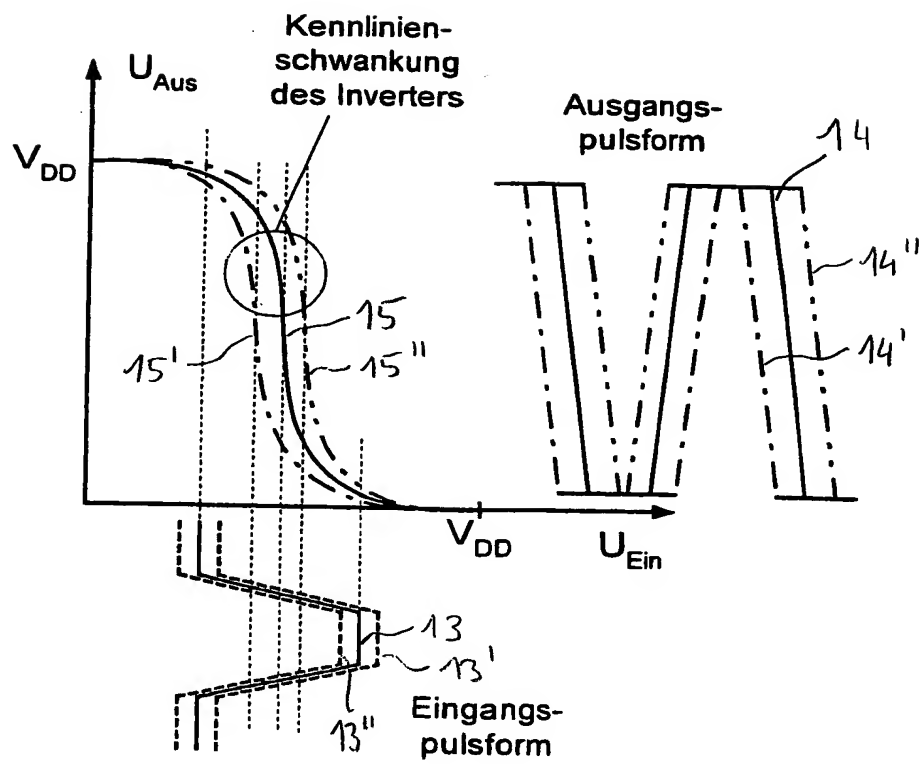


Fig. 2

